

OPTIMALISASI DESAIN KENDALI KECEPATAN PUTAR MOTOR INDUKSI TIGA FASA BERBASIS FPGA

Tole Sutikno

Program Studi Teknik Elektro Universitas Ahmad Dahlan
Kampus III Jln. Prof. Dr. Soepomo, Janturan, Yogyakarta 55161, Telp. (0274) 379148
Fax. (0274) 381523, e-mail: tholes2000@yahoo.com

Abstrak

Permasalahan yang muncul pada implementasi sistem pembangkit PWM berbasis FPGA adalah solusi transformasi ke ranah logika gerbang digital. Tahapan ini dilakukan melalui tahapan pencuplikan, kuantisasi dan penyandian. Semakin tinggi resolusi pencuplikan dan frekuensi pembawa, maka sinyal PWM yang dihasilkan akan semakin baik, namun akan memerlukan jumlah gerbang digital yang lebih banyak. Penelitian ini bertujuan mengoptimalkan desain kendali kecepatan putar motor induksi tiga fasa berbasis FPGA ACEX1K dari penelitian sebelumnya dengan cara meningkatkan resolusi pencuplikan dan frekuensi pembawa, serta meminimalkan pemakaian gerbang digital melalui penyederhanaan dengan metode Quine Mc Cluskey. Hasil penelitian ini mengindikasikan bahwa rancangan pembangkit sinyal SPWM yang dioptimalkan dapat direalisasikan dalam bentuk hardware logic pada sistem FPGA ACEX1K, dan dapat digunakan untuk men-drive inverter sebagai pengendali kecepatan putar motor induksi 3 fasa, dengan memerlukan 1629 logic cell. Pengaturan kecepatan motor induksi 3 fasa yang dirancang dapat dilakukan melalui setting indeks modulasi dan frekuensi. Pada penelitian ini, sistem telah diuji pada setting frekuensi 3-50 Hz dengan variasi indeks modulasi, dan dapat mengatur kecepatan motor induksi 3 fasa pada rentang 117-1468 rpm.

Kata Kunci: MAX+Plus Baseline, FPGA, Inverter, SPWM, Motor Induksi.

Abstract

FPGA based the problem of implementation of PWM signal generating system is solution of transformation to digital gate logic space. These stages are done with sampling, quantizing and coding. Best resolution of sampling and carrier frequency, so result of PWM generating is better, but it required most digital gate. Aim of this research is optimization of last research adjustable speed drive of three-phase induction motor; with improve resolution of sampling and carrier frequency, and minimalization of digital gate used with Quine Mc Cluskey method. Result of this research indicate that the design of optimized SPWM generating signal can be realized in hardware-logic in ACEX1K FPGA to drive inverter as speed controller turn around the three phase induction motor, with requiring 1629 logic cell. Adjustable motor speed designed can be done by through setting make a modulation index and frequency. At this research, system have been tested at setting frequency 3-50 Hz with the variation of modulation index, and can adjustable three phase induction motor speed in range 117-1468 rpm.

Keywords: MAX+Plus Baseline, FPGA, Inverter, SPWM, Induction Motor.

1. PENDAHULUAN

Motor induksi termasuk jenis motor AC yang bekerja akibat adanya arus stator yang terinduksi sebagai akibat adanya perbedaan relatif antara putaran rotor dengan medan putar yang dihasilkan arus stator, sehingga memerlukan pengaturan catu daya AC dengan besar tegangan/frekuensi tertentu untuk mengendalikan putarannya. Hampir 90% aplikasi motor pada industri menggunakan jenis motor induksi sebagai penggerak utama, karena: strukturnya yang kokoh, keandalan yang tinggi, perawatan yang mudah, dimensi yang lebih kecil dibandingkan motor DC pada daya yang sama dan harga yang relatif murah, tetapi memiliki teknik

pengendalian yang lebih rumit dibandingkan dengan motor DC [1-5]. Sebagian besar motor induksi ini adalah motor kecil di bawah 50 HP atau 30 kW (12).

Teknik pengendalian dengan metode konverter AC-AC hanya dapat mengatur tegangan, tetapi tak dapat mengatur frekuensi, sehingga akan menghasilkan tegangan catu yang tidak sinusoidal yang mengandung banyak harmonisa [6-13]. Teknik yang dikembangkan untuk mengatasi masalah ini adalah dengan menggunakan metode inverter DC-AC [4, 6-8, 10-19]. Metode ini efektif untuk mengendalikan motor induksi daya kecil hingga medium (di bawah 10 MW) [8, 12, 18]. Metode inverter yang banyak dikembangkan adalah inverter dengan modulasi lebar pulsa (*Pulse Width Modulation, PWM*), karena memiliki efisiensi daya yang tinggi, dapat mereduksi rugi-rugi harmonisa, mampu menggerakkan motor induksi dengan putaran yang halus dan rentang operasi kecepatan yang lebar. Proses pembangkitan sinyal PWM menjadi salah satu faktor penentu unjuk kerja sistem secara keseluruhan. Pembangkitan secara digital dapat menghasilkan sinyal PWM lebih baik karena tidak terpengaruh oleh derau tetapi mempunyai tingkat kerumitan lebih tinggi dibanding cara analog [4, 11, 14, 17].

Seiring dengan perkembangan bidang elektronika, yakni dengan ditemukannya prosesor digital dan FPGA (*Field Programmable Gate Array*) yaitu sebuah ASIC (*Application Specific Integrated Circuit*) yang dapat diprogram sesuai kehendak pengguna. Perancangan pembuatan pengendalian motor induksi dengan melibatkan penggunaan rangkaian penyaklaran elektronis semikonduktor dengan penyaklaran melalui salah satu kendali mikroelektronika dapat dilakukan dengan mudah. Implementasi operasi-operasi digital dalam bentuk perangkat keras dapat dilakukan dengan FPGA. FPGA memuat ribuan gerbang logika yang dapat diprogram untuk membentuk suatu logika. FPGA dapat digunakan untuk menerapkan rancangan digital perangkat keras apapun. FPGA dapat digunakan untuk mengimplementasikan sistem kombinasional dan sekuensial berkecepatan tinggi dengan lebar bit data tidak terbatas. Hal ini membuat FPGA mampu melakukan operasi dengan tingkat keparalelan tinggi yang tak mungkin dilakukan oleh mikrokontroler dan DSP [4, 11, 17, 20-25].

Pembangkitan sinyal PWM secara digital dengan FPGA mempunyai banyak keuntungan jika dibandingkan dengan pembangkitan sinyal PWM dengan DSP maupun dengan mikrokontroler. Pembangkitan dengan mikrokontroler mempunyai keterbatasan dalam hal jumlah dan waktu pemrosesan, karena semua proses dilakukan oleh mikrokontroler sehingga respon sistem menjadi lambat. Operasi yang dilakukan pada FPGA adalah operasi dalam logika perangkat keras, sehingga mempunyai kecepatan yang lebih tinggi jika dibandingkan dengan mikrokontroler yang melakukan operasi dalam logika perangkat lunak [4, 11, 17, 20-25].

Sejauh ini penelitian mengenai sistem pembangkit sinyal PWM berbasis FPGA atau penelitian tentang sistem penggerak motor induksi tiga fasa menggunakan inverter PWM telah dilakukan, Lazic dan Skender [26], merancang pembangkit sinyal PWM tiga fasa. *Duty cycles* sinyal PWM dirancang pada 0,5 % - 99,5 % dan resolusi 8 bit. Sistem dibangun dengan 3 blok dasar: osilator terkendali, modulator amplitudo dan pewaktu PWM. Sistem dirancang untuk *stand-alone* dengan 2 chip utama, yaitu FPGA dan A/D konverter. Lazic dan Skender [26] memanfaatkan sinyal PWM untuk membangkitkan sinyal PPM (*Pulse Position Modulation*).

Sutikno, dkk (4) telah meneliti tentang kendali kecepatan motor induksi dengan inverter PWM tiga fasa berbasis FPGA ACEX1K50TC144-3. Pada rancangan tersebut, dalam 1 perioda sinyal sinus (sinyal referensi) terdapat 12 sinyal segitiga (sinyal pembawa), pendigitalan sinyal referensi dan pembawa dicuplik tiap 2^0 . Penelitian ini bertujuan mengoptimalkan desain kendali kecepatan putar motor induksi tiga fasa berbasis FPGA ACEX1K dari penelitian sebelumnya dengan cara meningkatkan resolusi pencuplikan (sebelumnya tiap 2^0 , pada penelitian ini tiap 1^0) dan frekuensi pembawa (sebelumnya 12 kali frekuensi referensi, pada penelitian ini 15 kali frekuensi referensi) untuk mereduksi harmonisa, serta meminimalkan pemakaian gerbang digital melalui penyederhanaan dengan metode *Quine Mc Cluskey*.

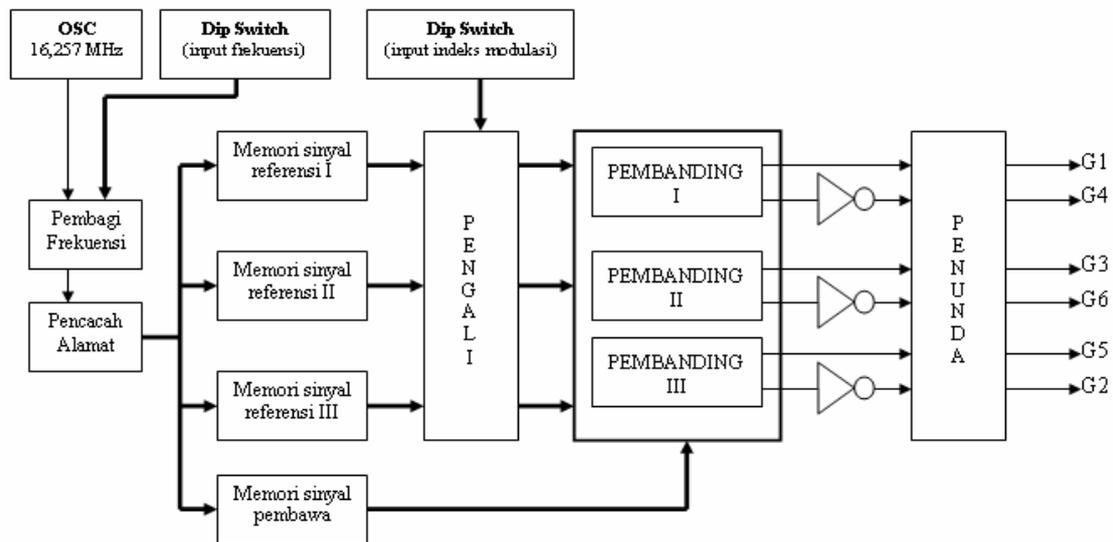
2. METODE PENELITIAN

Diagram kotak dari pengendali kecepatan motor induksi dengan inverter PWM dapat dilihat pada Gambar 1. Gambar 2 merupakan diagram kotak pembangkit sinyal SPWM tiga fasa berbasis FPGA lebih detail dari Gambar 1. Memori sinyal referensi I pada SPWM adalah memori tempat menyimpan sinyal referensi I ($\sin \omega t$) yang telah didigitalkan. Sinyal referensi II adalah sinyal $\sin (\omega t + 120^\circ)$ dan sinyal referensi III adalah sinyal $\sin (\omega t - 120^\circ)$. Sinyal-sinyal ini

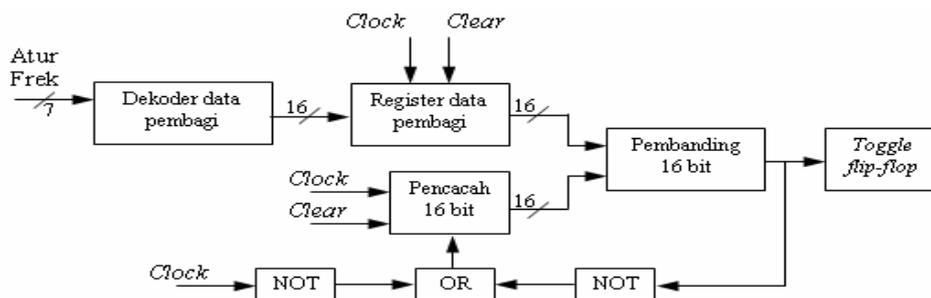
kemudian didigitalkan dan disimpan pada memori sinyal referensi II dan memori sinyal referensi III.



Gambar 1. Diagram kotak sistem pengendali motor induksi



Gambar 2. Diagram kotak pembangkit sinyal SPWM tiga fasa



Gambar 3. Diagram blok unit pembagi frekuensi

2.1. Unit Pembagi Frekuensi

Frekuensi sinyal PWM akan ditentukan oleh frekuensi sinyal referensi. Karena pada penelitian ini sinyal referensi digital diperoleh dari mencuplik sinyal referensi analog sebanyak 360 cuplikan tiap periodanya, maka misal agar frekuensi keluaran sinyal PWM menjadi 50 Hz (20 ms) pencacahan harus diusahakan sebesar $20ms/360 = 55,5\mu s (=18\text{ KHz})$. Karena FPGA yang digunakan pada penelitian ini menggunakan osilator eksternal sebesar 16,257 MHz, maka perlu adanya pembagian frekuensi. Clock keluaran ini digunakan sebagai lebar waktu satu

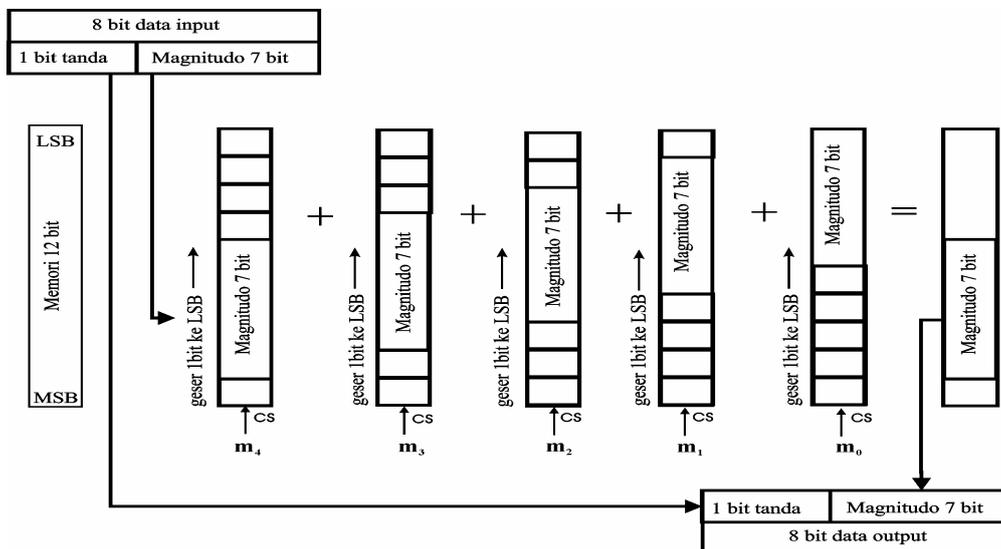
cuplikan dalam pengambilan memori sinyal referensi dan memori sinyal pembawa. Diagram blok unit pembagi frekuensi ditunjukkan pada Gambar 3.

2.2. Unit Pencacah Alamat

Unit ini berfungsi sebagai penghasil cacahan untuk mengambil data sinus dan segitiga dengan *clock* pencacah berasal dari unit pembagi frekuensi. Data sinus dan segitiga di atas membutuhkan 360 kali cuplikan untuk setiap periode sehingga dibutuhkan pula pencacah yang akan menghitung sebanyak 360 cacahan.

2.3. Unit Memori Sinyal Referensi dan Pembawa

Unit memori dan pembawa merupakan bagian yang menghasilkan memori sinyal referensi dan pembawa yang akan dicacah oleh pencacah sinkron modulo-360. Pembangkitan sinyal referensi dan pembawa digital, didapatkan dengan mencuplik tiap 1° setiap periode sinyal referensi dan pembawa analognya. Kuantisasi sinyal dirancang mempunyai nilai maksimum 127 dan minimum -127 , selanjutnya nilai-nilai hasil kuantisasi dikodekan. Pengkodean dilakukan dengan 8 bit (7 bit sebagai magnitudo dan 1 bit MSB-nya sebagai bit penanda). Pemetaan tersebut akan menghasilkan tabel kebenaran kombinasi 9 input dan 8 output, dan penyelesaian penyederhanaannya dikerjakan dengan perangkat lunak *Quine Mc Cluskey 3.10*.



Gambar 4. Prinsip kerja indeks modulasi

2.4. Unit Indeks Modulasi

Bagian ini merupakan pengali dari sinyal referensi yang dibangkitkan, sehingga dengan bagian ini akan didapat sinyal referensi dengan amplituda yang berbeda-beda melalui perubahan indeks modulasi. Pada penelitian pengaturan amplituda dirancang dengan variasi 5 bit (Gambar 4). Rumus untuk mendapatkan nilai indeks modulasi adalah sebagai berikut:

$$M = \sum_{i=0}^4 m_{4-i} / 2^{i+1} \quad \text{dengan } 0 < M < 1$$

2.5. Unit Pembanding/Pemodulasi

Unit ini bekerja sebagai unit pembanding memori sinyal referensi dan pembawa. Bagian ini mempunyai tiga pembanding dan enam keluaran yaitu G_1 , G_2 , G_3 , G_4 , G_5 dan G_6 . Pembanding yang pertama membandingkan memori sinyal referensi I dan memori sinyal pembawa I untuk menghasilkan keluaran pada G_1 . Keluaran G_1 akan tinggi (berlogika "1") ketika memori sinyal referensi lebih besar daripada memori sinyal pembawa, dan akan 0 bila lainnya. G_6 diperoleh dengan membalik sinyal dari G_1 . Pembanding kedua menghasilkan sinyal

G_3 dan G_2 , dan pembanding III menghasilkan G_5 dan G_4 dengan konsep yang dijelaskan di atas.

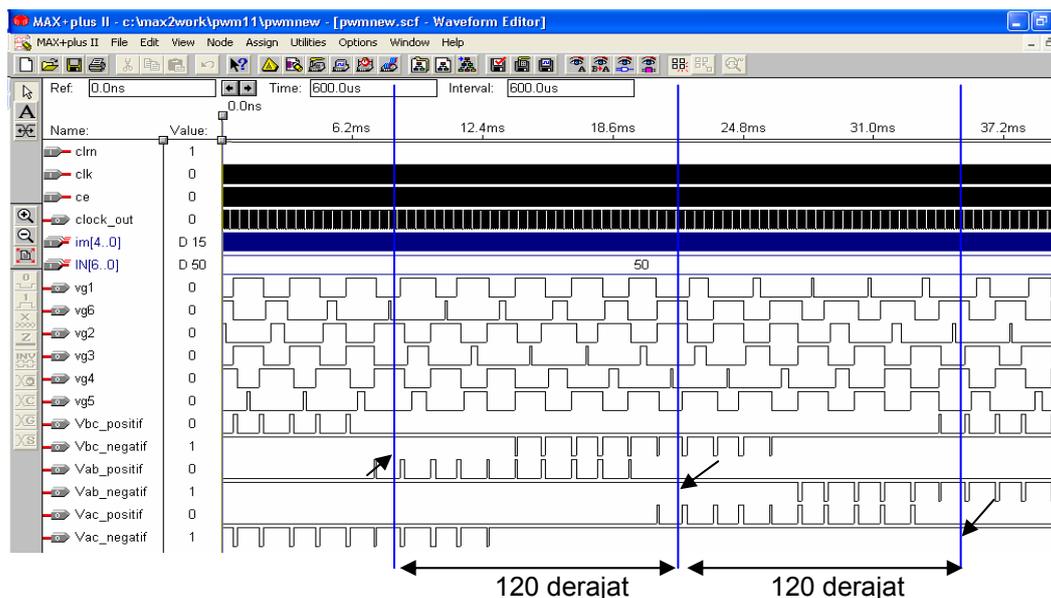
2.6. Unit *Dead-time*

Unit ini berfungsi untuk menunda sinyal yang dihasilkan dari unit pembanding untuk mendapatkan sinyal PWM G_1 , G_2 , G_3 , G_4 , G_5 dan G_6 . Penundaan transisi ini dilakukan untuk menghindari terjadinya kondisi transistor yang berpasangan menyala secara bersamaan.

Rangkaian penunda dilakukan dengan pencacah 2 dan 7 bit. *Clock* external sebesar 16,257 MHz digunakan sebagai clock pencacah. Pencacah yang dibuat akan menghasilkan cacahan masing-masing sebesar $2^2 = 4$ cacahan dan $2^7 = 256$ cacahan. Pencacah tersebut akan menunda masing-masing sebesar $4 \times 61,51 \text{ ns} = 0,246 \text{ us}$ dan $127 \times 61,51 \text{ ns} = 7,812 \text{ us}$. Penunda yang kecil digunakan untuk menunda transisi turun sedang yang besar untuk menunda transisi naik.

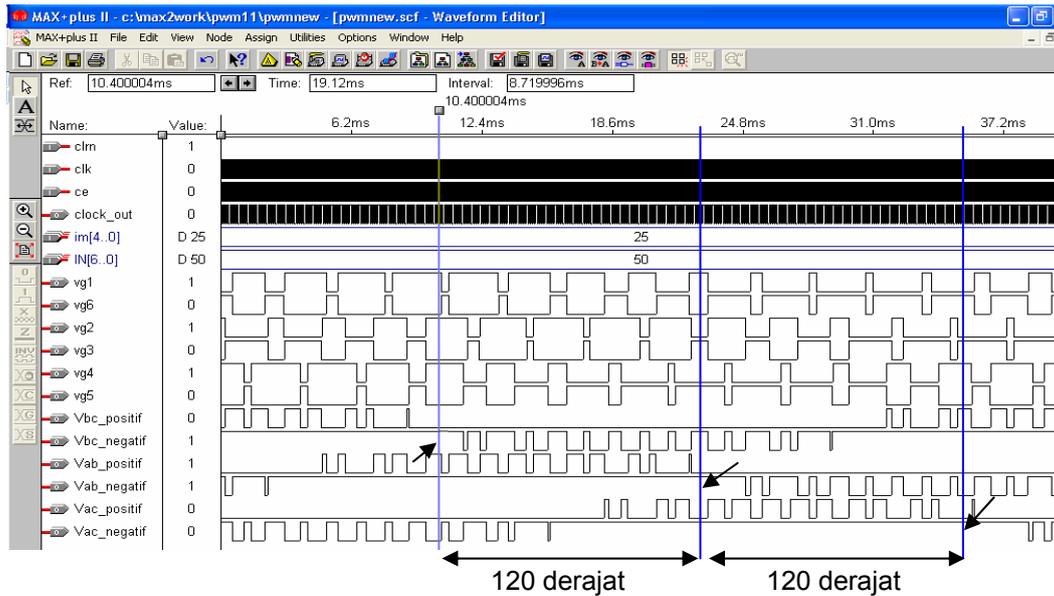
3. HASIL DAN PEMBAHASAN

Berdasarkan *report project information*, tidak ditemukan adanya kesalahan desain dan optimalisasi desain pembangkit sinyal SPWM tiga fasa diperkirakan dapat dikonfigurasi secara perangkat keras pada FPGA ACEX1K50TC144-3 dengan kebutuhan *total utilized* 56% (1629 LC dari 2880 LC yang tersedia). Hasil kompilasi ini bukan merupakan hasil unjuk kerja sistem pembangkit sinyal SPWM tiga fasa, tetapi merupakan pemeriksaan format, hirarki dan kebutuhan resource desain (kebutuhan LC). Hasil kinerja desain yang telah dirancang, apakah sesuai dengan yang diharapkan atau tidak, baru dapat dilihat pada bagian simulasi dan konfigurasi.



Gambar 5. Hasil simulasi keluaran akhir pembangkit sinyal SPWM tiga fasa dengan indeks modulasi = 0,4375.

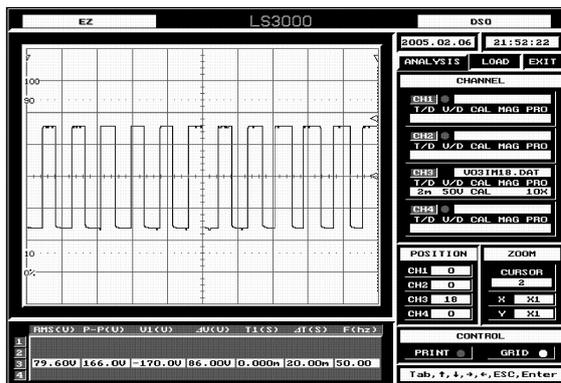
Setelah tiap-tiap unit pada unit penyusun pembangkit SPWM tiga fasa dibuat, dikompilasi, diverifikasi, dan disimulasi, maka tahap selanjutnya adalah integrasi tiap-tiap unit penyusun menjadi sistem pembangkit SPWM dan tiga fasa. Gambar 5 dan 6, menunjukkan hasil simulasi dari sistem pembangkit SPWM tiga fasa pada indeks modulasi 0,4375 dan 0,75. Berdasarkan Gambar 5 dan 6 tersebut, optimalisasi desain pembangkit sinyal SPWM tiga fasa yang dirancang secara prinsip telah bekerja secara benar.



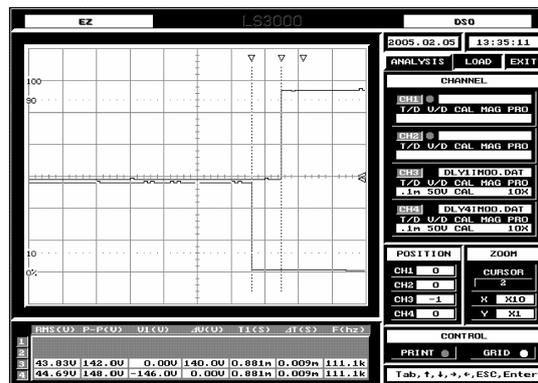
Gambar 6. Hasil simulasi keluaran akhir pembangkit sinyal SPWM tiga fasa dengan indeks modulasi = 0,75.

Lebar pulsa PWM telah dapat dibuat bervariasi dengan mengatur nilai indeks modulasi. Lebar pulsa tiap-tiap sinyal pada ketiga fasa telah memiliki pola sinusoida. Dengan nilai indeks modulasi yang semakin tinggi, lebar pulsa yang ditunjukkan pada ketiga gambar tersebut juga semakin lebar. Begitu pula frekuensi fundamental PWM yang dihasilkan juga dapat diatur melalui pengubahan set frekuensi, meskipun pada laporan ini hanya ditunjukkan pada set frekuensi 50 Hz. Antar ketiga fasa juga telah bergeser 120 derajat. Berdasarkan hal tersebut, dan hasil kompilasi yang telah lebih dulu dijelaskan pada bagian sebelumnya, desain yang dibuat dapat dilanjutkan pada proses konfigurasi ke perangkat keras.

Hasil keluaran pada penggerak inverter harus diuji apakah optimalisasi desain sinyal SPWM berbasis FPGA yang dirancang berhasil merambat dan mempunyai tunda yang cukup aman untuk diumpankan ke inverter. Sinyal dari FPGA harus benar-benar merambat dan keluar melalui keluaran rangkaian ini sesuai yang diharapkan. Kerusakan dapat terjadi pada rangkaian inverter yang dicatu oleh sumber tegangan DC tinggi bila keluaran penggerak cacat.



Gambar 7. Keluaran pada tiap rangkaian penggerak



Gambar 8. Tanggapan sinyal tunda pada rangkaian penggerak.

Gambar 7 dan 8 memperlihatkan keluaran pada tiap rangkaian penggerak dan tunda pulsa tinggi yang terjadi pada sinyal PWM yang saling berpasangan. Input sinyal pada

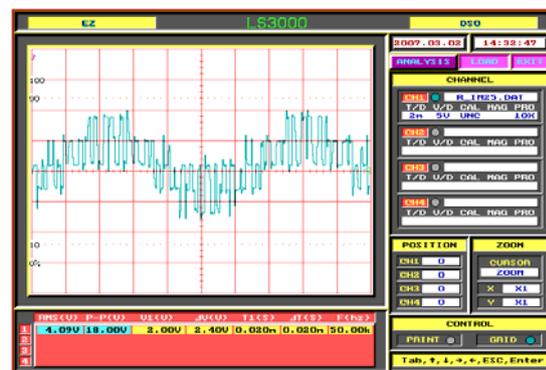
pengukuran ini juga menggunakan konfigurasi desain SPWM satu fasa. Tunda pulsa tinggi yang terjadi antara sinyal-sinyal tersebut terbaca oleh osiloskop sebesar 9 μ s. Dari hasil pengukuran yang ditunjukkan pada Gambar 7 dan 8, dapat disimpulkan bahwa semua rangkaian penggerak telah dapat bekerja seperti yang diharapkan untuk menaikkan level tegangan hingga di atas 9 volt dan dapat bekerja sebagai dead-time untuk menyesuaikan sifat sifat *turn-on* dan *turn-off* dari power mosfet yang digunakan.

Hasil keluaran pada inverter telah diuji dengan beberapa MOSFET antara lain IRF 830, IRF 640 dan SK 727. Tetapi diantara ketiganya dalam penelitian ini menggunakan MOSFET SK 727 yang memiliki V_{ds} sebesar 800 V dan I_{ds} sebesar 2,5 A.

Pengukuran pada motor induksi tiga fasa dilakukan pada tiga keluaran inverter yaitu R, S dan T. Gambar 9 merupakan hasil pengamatan dari keluaran inverter untuk tegangan RS dan ST dengan menggunakan frekuensi sebesar 50 Hz serta indeks modulasi 0,78125. Gambar 10 merupakan hasil pengamatan dari keluaran inverter untuk arus fasa R dengan menggunakan frekuensi sebesar 50 Hz serta indeks modulasi 0,78125.

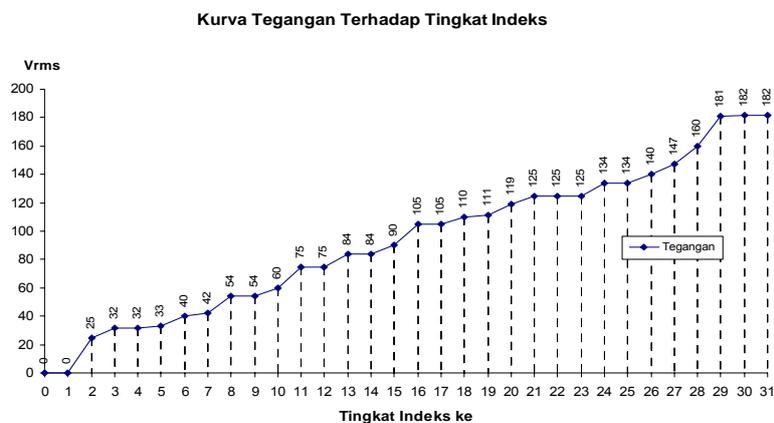


Gambar 9. Sinyal Keluaran Tegangan Inverter RS dan ST



Gambar 10. Sinyal Keluaran Arus Inverter Pada Fasa R

Berdasarkan pada hasil pengamatan Gambar 9, terlihat bahwa terdapat pergeseran fase antara tegangan RS dan ST. Hal tersebut menunjukkan bahwa pembangkit yang diumpangkan ke inverter dapat bekerja dengan baik. Sehingga dapat langsung dicatukan pada motor induksi tiga fasa. Pengujian unjuk kerja sistem dilakukan dengan tiga cara, yaitu pengujian pada frekuensi tetap, pengujian pada frekuensi berubah dan pengujian pada kecepatan rendah.



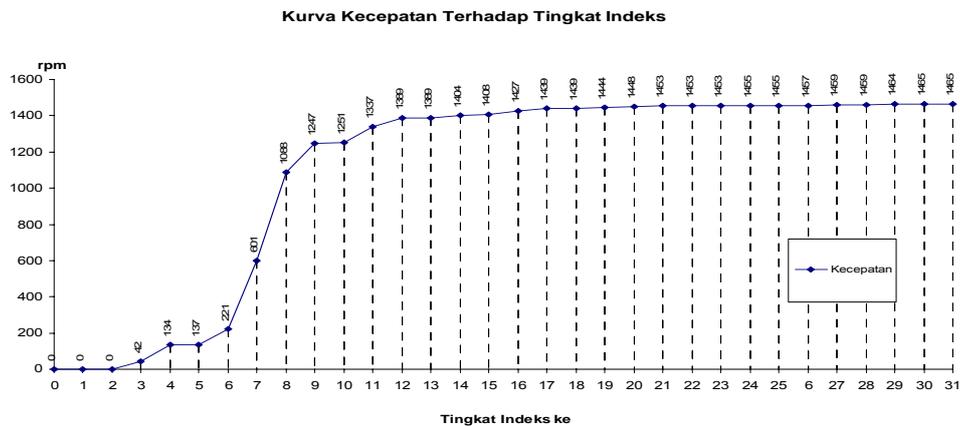
Gambar 11. Kurva tegangan terhadap tingkat indeks modulasi

4.1. Pengujian pada frekuensi tetap dan indeks modulasi berubah

Ada tiga titik tegangan yang diukur pada motor induksi 3 fasa yaitu R, S, T. Gambar 11 merupakan kurva tegangan terhadap tingkat indeks yang mencatu motor dengan frekuensi 50 Hz. Pada gambar tersebut diperlihatkan kenaikan tingkat indeks yang diikuti naiknya tegangan motor. Hasil pengukuran tersebut menunjukkan bahwa dengan indeks modulasi yang di-set berubah dan frekuensi tetap kecepatan motor induksi 3 fasa ini dapat diatur kecepatannya, tetapi kecepatan tersebut tidak berubah secara signifikan.

4.2. Pengujian pada frekuensi berubah dan indeks modulasi tetap

Nilai indeks modulasi yang digunakan pada pengamatan ini adalah 31 atau 0,96875 yang merupakan nilai indeks modulasi tertinggi, sedangkan nilai frekuensi yang di-set berubah mulai dari 10–50 Hz. Kecepatan putaran motor dapat berubah secara signifikan, namun untuk kenaikan tegangan tidak terlalu signifikan (Gambar 12).



Gambar 12. Kurva kecepatan terhadap variasi indeks modulasi dan frekuensi tetap

Tabel 1. Hasil pengujian kecepatan motor pada frekuensi rendah

INPUT		OUTPUT	
Frekuensi (Hz)	Indeks Modulasi	Tegangan (Vrms)	Kecepatan (rpm)
3	10	18	119
	20	39	120
	30	55	120
4	10	22	120
	20	45	121
	30	58	121
5	10	23	143
	20	46	145
	30	60	145
6	10	23	180
	20	48	180
	30	65	181
7	10	24	206
	20	51	209
	30	72	210
8	10	24	231
	20	55	236
	30	76	236
9	10	26	256
	20	56	266
	30	75	267
10	10	25	290
	20	55	296
	30	82	297

4.3. Pengujian pada kecepatan rendah

Tabel 1 memperlihatkan data kecepatan motor pada frekuensi rendah dengan beberapa variasi indeks modulasi. Berdasarkan pengamatan ini, kecepatan motor dapat diatur

pada *range* frekuensi 3-10 Hz dan menghasilkan tegangan 11–82 V dengan kecepatan terukur pada *range* 117-297 rpm.

Berdasarkan hasil-hasil pengujian ini, dapat dikatakan bahwa pada penelitian ini telah berhasil dilakukan optimalisasi desain kendali kecepatan putar motor induksi tiga fasa berbasis FPGA ACEX1K penelitian sebelumnya, dengan meningkatkan resolusi pencuplikan (sebelumnya tiap 2^0 , pada penelitian ini tiap 1^0) dan frekuensi pembawa (sebelumnya 12 kali frekuensi referensi, pada penelitian ini 15 kali frekuensi referensi) untuk mereduksi harmonisa, serta meminimalkan pemakaian gerbang digital melalui penyederhanaan dengan metode *Quine Mc Cluskey*. Hasil penelitian ini juga lebih baik dari yang dilakukan oleh Lazic dan Skender [11], yang memerlukan 2 chip FPGA untuk desain pembangkit SPWM dengan resolusi 8 bit, sedangkan pada penelitian ini hanya memerlukan 1 chip FPGA dengan resolusi yang lebih tinggi (9 bit).

4. SIMPULAN

Berdasarkan hasil dan pembahasan, maka dapat diambil simpulan sebagai berikut:

1. Telah berhasil dilakukan optimalisasi desain kendali kecepatan putar motor induksi tiga fasa berbasis FPGA ACEX1K dari hasil penelitian sebelumnya, dengan meningkatkan resolusi pencuplikan (sebelumnya tiap 2^0 , pada penelitian ini tiap 1^0) dan frekuensi pembawa (sebelumnya 12 kali frekuensi referensi, pada penelitian ini 15 kali frekuensi referensi) guna meningkatkan reduksi harmonisa, serta meminimalkan pemakaian gerbang digital melalui penyederhanaan dengan metode *Quine Mc Cluskey*.
2. Dengan menggunakan metode *Quine Mc Cluskey* sebagai teknik minimalisasi penggunaan gerbang digital, desain kendali kecepatan putar motor induksi tiga fasa yang dirancang dapat direalisasikan pada perangkat keras FPGA dengan kebutuhan 1629 *logic cell* (LC).
3. Optimalisasi desain kendali kecepatan putar motor induksi tiga fasa yang direalisasikan ke dalam perangkat keras FPGA ACEX1K dapat digunakan untuk *men-drive* inverter pengendali kecepatan putar motor induksi tiga fasa.
4. Sistem pengaturan kecepatan putar motor induksi 3 fasa telah diuji dan dapat bekerja baik pada setting frekuensi 3-50 Hz dengan variasi indeks modulasi.

DAFTAR PUSTAKA

- [1]. Baker, M.S., Application Criteria For The Selection of Electronic Variable Speed Drive, Proceeding Conference on Industrial Drive, Universitas of Central Queensland, Rockhampton, 1991.
- [2]. Gunawan, R. dan Dwijatmiko, T., Kendali Kecepatan Putar Motor Induksi Tiga Fasa Berbasis Logika Fuzzy dan Mikrokontroler AT89C52, Industrial Electronics Seminar (IES 2004), PENS-ITS, Surabaya, 2004.
- [3]. Irwin, J.D., Industrial Electronics Handbook, CRC Press and IEEE Press, Boca Raton, Florida, 1997.
- [4]. Sutikno, T., dkk., Perancangan Sistem Kendali Kecepatan Putar Motor Induksi Dengan Teknik UPWM, SPWM dan MSPWM Berbasis FPGA ACEX1K, Laporan PHB Ditjen Dikti Depdiknas, Yogyakarta, 2006.
- [5]. Sutopo, B., Wijaya, F.D., dan Supari, Perbaikan Faktor Daya Motor Induksi 3 Fasa Menggunakan Mikrokontroler 68HC11, Industrial Electronics Seminar (IES 2001), PENS-ITS, Surabaya, 2001.
- [6]. Bashi, S.M., Aris, I. and Hamad, S.H., Development of Single Phase Induction Motor Adjustable Speed Control Using M68HC11E-9 Microcontroller, Asian Network for Scientific Information, Journal of Applied Sciences 5 (2): 249-252, ISSN 1812-5654, 2005.
- [7]. Grant, D.A., and Seidner, R., Ratio Changing in Pulse-width-Modulated Inverters, IEER Proc. B., Vol.128, No.5, 1981.
- [8]. Hendriawan, A., dkk., Implementasi FPGA Sebagai Pembangkit Pulsa Pada Inverter 3 Fasa 18-Step dengan Topologi Triple Choper Triple Bridge Inverter, Industrial Electronics Seminar (IES 2004), PENS-ITS, Surabaya, 2004.
- [9]. Hildebrand, E.N., and Roehrdanz, H., Losses in Three Phase Induction Machines Fed by PWM Converter, IEEE Trans. On energy Conversion, Vol.16, No.3, 2001.

- [10]. Irwin, J.D., *Industrial Electronics Handbook*, CRC Press and IEEE Press, Boca Raton, Florida, 1997.
- [11]. Lazic, M., and Skender, M., *Generating Driving signal for Three Phases Inverter by Digital Timing Functions*, *Facta Universitatis (NIS) Series: Electronics and Energetics*, Vol. 13, No. 3, Hal: 353-364, Des 2000.
- [12]. Mohan, N., Undeland, T.M., and Robbins, W.P., *Power Electronics, Converters, Applications, and Design*, Second Edition, John Wiley & Sons, Singapore, 1995.
- [13]. Rashid, M.H., *Power Electronics Circuits, Devices, and Applications*, Second Edition, Prentice-Hall International, Inc., London, 1993.
- [14]. Sutikno, T., dkk, *Proses Pembangkitan MSPWM Tiga Fasa Berbasis FPGA ACEX1K*, Seminar Nasional Technosim II, Jurusan Teknik Mesin dan Industri (JTMI), FT-UGM, Yogyakarta., 2006.
- [15]. Tamrakar, I., and Malik, O.P., *Power Factor Corection of Induction Motor Using PWM Inverter Fed Auxiliary Stator Winding*, *IEEE Transc. on Energy Conversion*, Vol.14, No.3, 1999.
- [16]. Lazic, M., and Skender, M., *Generating Driving signal for Three Phases Inverter by Digital Timing Functions*, *Facta Universitatis (NIS) Series: Electronics and Energetics*, Vol. 13, No. 3, Hal: 353-364, Des 2000.
- [17]. Baronti, F., etc., *DC/DC Switching Power Converter with Radiation Hardened Digital Control based on SRAM FPGAs*, Dissertation, Department of Information Engineering, University of Pisa, Pisa, 2003.
- [18]. Guilberto, J., et.al., *An Autonomous Robot with Reconfigurable Hardware and RT Linux For Fire-Fighting*, *Intelligent Systems and Robotics Group*, Electrical Engineering Department, New Mexico Institute of Mining and Technology, New Meksiko, 2002.
- [19]. Li , H. and Jiang, Q., *Design of a FPGA Controller for Full Bridge Phase-Shifted Zero Voltage Switching DC/DC Power Converters*, Dissertation, School of Communications and Informatics, Victoria University, Melbourne City, 1999.
- [20]. Noorfatchurrudin, *Kendali Kecepatan Motor Induksi Satu Fasa Dengan Inverter PWM Sinusoida berbasis FPGA Altera ACEX1K*, Tugas Akhir, Teknik Elektro Universitas Ahmad Dahlan, Yogyakarta, 2005.
- [21]. Ritter, G., Puiatti, J.M., and Sanchez, E., *Leonardo and Discipulus Simplex: An Autonomous, Evolvable Six-Legged Walking Robot*, *Logic System Laboratory*, Swiss Federal Institute of Technology, Lausanne, 2003.
- [22]. Takahashi, T., *New Digital Hardware Control Method for High Performance AC Servo Motor Drive—Accelerator™ Servo Drive Development Platform for Military Application*, As presented at *Military Electronics Conference*, Sept 24-25, International Rectifier (IR) , 2002.
- [23]. Dewan, S.B., Slemon, G.R., and Straughen, A., *Power Semiconductor Circuits*, John Wiley and Sons, Inc., Toronto, 1984.
- [24]. Leao, A.T., et.al., *A Robust Fuzzy Speed control Applied to a Three-Phase Inverter Feeding a Three-Phase Induction Motor*, *IEEE Transc. on Power Electronics*, Vol.17, No.3, 2002.
- [25]. Marco, A., Sanvido, A., and Schaufelberger, W., *Design Of A Framework for Hardware-In-The-Loop Simulations and Its Application to a Model Helicopter*, *Automatic Control Laboratory*, ETH, Zurich, 2001.
- [26]. Pascual, C., et.al., *High-Fidelity PWM Inverter for Audio Amplification Based On Real-Time DSP*, Dissertation, Department of Electrical and Computer Engineering, University of Illinois, Urbana, Illinois, 2002.
- [27]. Purcell, A., and Paul, P.A., *Enhanced Inverter Switching for Fast Response Direct Torque Control*, *IEEE Transc. On Power Electronics*, Vol.16, No.3, 2001.
- [28]. Sutrisno, B., *Pengendali Kecepatan Putar Motor Induksi Tiga Fasa Dengan PWM Berbasis Mikrokontroler 68 HC11*, Tesis S2, Universitas Gadjah Mada, Yogyakarta, 1999.